

Japanese Laid-open Patent

Laid-open Number: Hei 3-36767
Laid-open Date: February 18, 1991
Application Number: Hei 1-172327
Filing Date: July 4, 1989
Applicant: SEIKO EPSON CORPORATION

Specification

1. Title of the Invention

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

2. Scope of Patent claims

- 1) A method of manufacturing a semiconductor device, characterized in that a gate insulating film of an insulating gate type field effect transistor is formed by a plasma CVD method using a monosilane derivative gas including at least one of chlorine and fluorine.
- 2) A method of manufacturing a semiconductor device, characterized in that a gate insulating film of an insulating gate type field effect transistor is formed by a plasma CVD method using at least hydrogen chloride.
- 3) A method of manufacturing a semiconductor device according to claim 1 or 2, wherein at least one portion of a channel area of said insulating gate type transistor is a non-monocrystal semiconductor.

3. Detailed Description of the Invention

[Field of the Industrial Application]

The present invention relates to a method of manufacturing a semiconductor device, and particularly relates to a forming method of a gate insulating film of an insulating gate type field effect transistor.

[Prior Art]

In recent years, as needs for a three-dimensional IC, a large-sized liquid crystal display panel with high resolution, a close type image sensor with high resolution operated at high speed, etc. are increased, a technique for forming a gate insulating film with a good quality at a low temperature has become important. A thermal oxidation method uses a high temperature process at about 900 to 1200°C. Therefore, there are problems in that (1) no element can be formed on a cheap glass substrate, (2) the

thermal oxidation method has a bad influence (redistribution of impurities, etc.) on an element of a lower layer portion in the three-dimensional IC, etc. Accordingly, a technique for forming an oxide film at a low temperature by the CVD method, etc. is considered.

[Problems to be solved by the Invention]

However, in the oxide film formed by the conventional CVD method, there is a problem in that gate insulation resisting voltage is low and interface level density is high, etc. Accordingly, it has been difficult to stably form an element at a practical level. To solve such a problem, an object of the present invention is to provide a method of forming a gate insulating film for an insulating gate type field effect transistor in which gate insulation resisting voltage is high and interface level density is low.

[Means for solving the Problems]

A method of manufacturing a semiconductor device according to the present invention is characterized in that a gate insulating film of an insulating gate type field effect transistor is formed by the plasma CVD method using a monosilane derivative gas including at least one of chlorine and fluorine.

Further, a method of manufacturing a semiconductor device according to the present invention is characterized in that a gate insulating film of an insulating gate type field effect transistor is formed by the plasma CVD method using at least hydrogen chloride.

[Example]

Fig. 1 shows one example of a manufacturing process view of a semiconductor device in an embodiment of the present invention. In the example of Fig. 1, a thin film transistor (TFT) is formed as a semiconductor element.

Fig. 1(a) shows a process for forming a silicon layer 102 on an insulating amorphous substrate of glass, quartz, etc., or an insulating amorphous material 101 such as an insulating amorphous material layer of SiO_2 , etc. In one example of a film forming condition, there is a method for forming a silicon film having about 100 Å to 2000 Å in film thickness at about 500°C to 560°C by the LPCVD method, etc. There is also a method in which the substrate is held at a temperature from a room temperature to about 800°C by the plasma CVD method, monosilane or a gas obtained by diluting monosilane with hydrogen, argon, helium, etc. is introduced into a reaction chamber, and is decomposed by applying high frequency energy, etc., and a silicon layer having about 100 Å to 2000 Å in film thickness is formed on a desirable substrate. However, the film forming method is not limited to these methods. For example, there are

methods of forming amorphous silicon or fine crystal silicon by the sputtering method, the evaporation method, the EB evaporation method, the MBE method, etc.

Fig. 1(b) shows a process for crystal-growing the silicon layer 102 by heat treatment, etc. An optimal condition of a heat treatment condition differs in accordance with the film forming method of the silicon layer in the process (a).

For example, when the silicon layer is formed by the LPCVD method, a polycrystal silicon layer 103 is formed by performing the heat treatment at about 550°C to 650°C for about 2 to 50 hours within the atmosphere of an inert gas such as nitrogen or argon (Ar), etc.

For example, when the silicon layer is formed by the plasma CVD method, the following differences exist in accordance with the substrate temperature at a film forming time.

(1) A film formed at a relatively low substrate temperature from the room temperature to about 150°C becomes amorphous silicon including a large amount of hydrogen in the film. However, hydrogen within the film can be removed therefrom by the heat treatment at a lower temperature in comparison with a film formed at about 200 to 300°C. One example of the heat treatment condition will next be described. A first anneal is performed with respect to the amorphous silicon film after this film is formed within the plasma CVD reaction chamber. The amorphous silicon film formed at a low film forming temperature is a porous film. Therefore, when the silicon film is taken out into the atmosphere as it is after the film formation, oxygen, etc. tend to be taken into this film and cause a reduction in film quality. However, when suitable heat treatment is performed before the taking-out into the atmosphere, the silicon film is closely formed, and the taking-in of oxygen, etc. is prevented. The heat treatment temperature is desirably set to 300°C or more. A large effect is particularly obtained when the heat treatment temperature is raised up to about 400 to 500°C. The effect of closeness of the film using the heat treatment exists even when the heat treatment temperature is lower than 300°C. However, when the anneal is continuously performed without breaking a vacuum, the first anneal can be also omitted.

Subsequently, a second anneal is performed. When the heat treatment at a relatively low temperature of about 550°C to 650°C is performed for about several hours to 40 hours with respect to the amorphous silicon film formed at a low film forming temperature, hydrogen is separated from the silicon film and crystal growth is caused. Thus, polycrystal silicon having a large crystal particle diameter of about 1 to 2 μm is formed. In each of the first anneal and the second anneal, it is not preferable to suddenly increase the film temperature in a short time when the film temperature is

raised up to a predetermined anneal temperature. This is because hydrogen within the silicon film is separated therefrom as the film temperature rises (when the film temperature particularly exceeds 300°C), and a defect is easily formed in the silicon film at a sudden temperature rising speed. There are also cases in which a pinhole is formed and the silicon film is separated. The defect in the silicon film is reduced when the film temperature is gradually raised at a temperature rising speed slower than 20°C/minute (the temperature rising speed slower than 5°C/minute is particularly desirable) at a temperature equal to or higher than at least 300°C. A temperature raising method will be described later in detail.

(2) In the silicon film formed at a substrate temperature of about 150°C to 300°C, a hydrogen amount within the film is reduced, but a separating temperature of hydrogen is shifted to a higher temperature side in comparison with the amorphous silicon film formed at the above low temperature. Since the formed film is closer than a film formed at low temperature, the above first anneal can be also omitted. In a second anneal condition, when the heat treatment is performed for several hours to 40 hours at about 550°C to 650°C, hydrogen separation and crystal growth are caused, and polycrystal silicon having a large crystal particle diameter of from 1 to 2 μm is formed. A detailed temperature raising method from 550°C to 650°C will be described later. However, similarly to the case of (1), at a temperature equal to or higher than at least 300°C, it is desirable to gradually increase the substrate temperature at a temperature rising speed slower than 20°C/minute (desirably, 5°C/minute) since the defect in the silicon film is reduced.

(3) When the substrate temperature exceeds 300°C, the hydrogen amount within the silicon film is further reduced. However, hydrogen is easily separated in the anneal at a temperature of about 550°C to 650°C so that the heat treatment at a temperature higher than the above temperature becomes important. When a film formed at a substrate temperature of about 500°C or more is grown in solid phase, polycrystal silicon oriented to $\langle 110 \rangle$ or $\langle 100 \rangle$ is obtained. Therefore, there are effects of a reduction in interface level density of the TFT, an improvement of electric field effect mobility, etc.

Fig. 1(c) shows a process for thermally processing the polycrystal silicon layer 103 at a predetermined heat treatment temperature higher than that in the process (b). The process (c) can be also omitted, but is an important process to improve crystallization ratio. The crystallization ratio of the polycrystal silicon layer 103 crystal-grown by a solid phase growing method in the process (b) is not necessarily high. In particular, when a silicon film (amorphous silicon or fine crystal silicon having a fine

crystal area within an amorphous phase is formed) formed at a relatively low temperature of about 500°C to 560°C by the LPCVD method is grown in solid phase by the heat treatment, its crystallization ratio is a low ratio such as about 50% to 70%. Therefore, it is important to arrange a process for crystallizing an uncrystallizing area of the polycrystal silicon layer by performing the heat treatment in the process (c) at a temperature higher than that in the process (b). As a result, the crystallization ratio can be increased to 99% or more. An optimal value of the heat treatment temperature lies approximately between 700°C and 1200°C. However, when glass is used as the substrate, no glass can be exposed to the above high temperature. Therefore, it is important to increase only a portion near the surface layer of a semiconductor up to the above temperature by irradiating short wavelength light such as an excimer laser, and optimize irradiating strength and an irradiating time such that the semiconductor layer and a portion near a substrate interface are equal to or lower than about 800°C. In one example, the above condition is satisfied when an XeCl excimer laser (wavelength of 308 nm) is used, and 1 to 10 pulses (several tens of ns per one pulse) are irradiated with irradiating intensity of about 0.1 to 1.0 J/cm², etc. If the interface of the semiconductor layer and the substrate is equal to or lower than about 600°C in the irradiation of a laser beam, it is preferable to melt the surface of the semiconductor layer since crystallization property of the semiconductor surface layer becomes preferable. In particular, since the surface layer is an area for forming an inverting layer, transistor characteristics are improved by improving the crystallization property of the surface layer. As another heat treatment method, there is a method of performing the heat treatment for e.g., about one hour at 850°C, or about 10 to 20 minutes at 1000°C within the atmosphere of an inert gas such as nitrogen or Ar, etc. in an anneal furnace. There are also a method of lamp anneal using a halogen lamp, an arc lamp, an infrared lamp, a xenon lamp, a mercury lamp, etc., a method of laser anneal using an Ar laser, a He-Ne laser, etc., and the like.

Fig. 1(d) shows a process for forming a gate insulating film 104 by the plasma CVD method using a monosilane derivative gas including at least one of chlorine and fluorine. In an oxide film formed by the conventional normal pressure CVD method, insulation-resisting voltage is low, interface level density of Si/SiO₂ is high, and no oxide film at a practical level can be stably formed. However, as a result of our consideration, it has become clear that the oxide film of good quality can be formed at a low temperature by forming this film by the plasma CVD method using the monosilane derivative gas such as dichlorosilane, etc. including at least one element among chlorine and fluorine. In one example of the film forming method, there is a method in which

dichlorosilane (SiH_2Cl_2) and oxygen or nitrous oxide (N_2O) are introduced to a plasma CVD device as a reaction gas, the substrate temperature is held at about 200°C to 450°C , and this gas is decomposed by applying a high frequency wave so that an oxide film is formed, etc. A monosilane derivative gas including at least one element among chlorine and fluorine such as monochlorosilane (SiH_3Cl), silane trichloride (SiHCl_3), silicon tetrachloride (SiCl_4), monofluorosilane (SiH_2F), difluorosilane (SiH_2F_2), trifluorosilane (SiHF_3), silicon tetrafluoride (SiF_4), etc. may be also used instead of dichlorosilane. Plural gases among these gases may be mixed and used, and monosilane and these gases may be also mixed and used. Similar effects are obtained even when the oxide film is formed by mixing hydrogen chloride (HCl) with monosilane or the monosilane derivative gas. When monosilane is mixed with the monosilane derivative gas of dichlorosilane, etc. or hydrogen chloride, etc., it is also effective to use a method for changing a ratio of this mixture with the passage of time. Namely, there is a method for increasing the ratio of monosilane with the passage of time, etc. by increasing the ratio of the monosilane derivative gas of dichlorosilane, etc. or hydrogen chloride at a starting time of the film formation. In this method, there are effects in that insulation resisting voltage is increased and interface level density is reduced. The reasons for this are guessed as follows. Since the ratio of the monosilane derivative gas including an element such as chlorine or fluorine, etc., or hydrogen chloride is increased at the film forming time, the interface level density can be reduced by forming the oxide film while a natural oxide film and a polluted substance of an organic substance, a metal, etc. on the silicon layer 102 are removed. Subsequently, the amounts of chlorine and fluorine mixed into the oxide film are reduced by increasing the ratio of monosilane gas, and the oxide film with high insulation resisting voltage and good quality can be formed. Figs. 2(a) and 2(b) schematically show time charts of gas flow rates. In Fig. 2, reference numerals 201 and 202 respectively designate the flow rate of monosilane gas and the flow rate of dichlorosilane gas. Fig. 2(a) shows a case in which dichlorosilane is set to 100% at the starting time of the film formation, and the flow rate of dichlorosilane is reduced and the flow rate of monosilane is increased with the passage of time. Fig. 2(b) shows a case in which the gas flow rates are stepwise changed. The time charts of the gas flow rates are not limited to Fig. 2, but it is important to increase the ratio of the silane derivative gas of dichlorosilane, etc., or hydrogen chloride, etc. at the starting time of the film formation.

Fig. 1(e) shows a process for forming a semiconductor element. Fig. 1(e) shows an example in which a TFT is formed as the semiconductor element. In this figure, reference numerals 104, 105 and 106 respectively show a gate insulating film, a gate

electrode and a source-drain area. Reference numerals 107, 108 and 109 respectively designate an interlayer insulating film, a contact hole and wiring. In one example of a TFT forming method, the source-drain area is formed by the ion injecting method, the heat diffusion method, the plasma doping method, the ion shower doping method, etc. after the gate electrode is formed. The interlayer insulating film is formed by the CVD method, the sputtering method, the plasma CVD method, etc. Further, the contact hole is bored in the interlayer insulating film, and the wiring is formed so that the TFT is formed. In the forming method of the source-drain area using glass as a substrate, impurities of B, P, etc. are implanted by the ion injecting method, and are then thermally processed for several hours to several tens of hours at a low temperature of about 600°C so that these impurities are activated. Further, the ion shower doping method, the plasma doping method, etc. are effective.

In the present invention, it is important that the oxide film of good quality can be formed at low temperature by the plasma CVD method instead of the conventional thermal oxidation method and the conventional CVD method. These contents will next be described in detail. In the conventional CVD method, the insulation resisting voltage is low and the Si/SiO₂ interface level density is high and no oxide film at a practical level can be stably formed as mentioned above. In the thermal oxidation method, there are problems that a high temperature process at about 900°C to 1200°C is used, and that the insulation resisting voltage is as low as about 3 to 4 MV/cm on polycrystal silicon. However, it has become clear that the insulation resisting voltage of the oxide film formed by the plasma CVD method of the present invention is improved in comparison with a film formed by the thermal oxidation method, and is about 7 to 8 MV/cm. The reasons for this are as follows. When polycrystal silicon is thermally oxidized, oxidation is easily advanced along a crystal grain boundary so that the oxide film is formed in a projection shape and electric field concentration is easily caused. In contrast to this, when the oxide film is formed at a low temperature by the plasma CVD method, no oxygen is almost diffused along the crystal grain boundary, and the above electric field concentration is not easily caused. Therefore, it is considered that the insulation resisting voltage is improved. Further, a high electric potential barrier is formed in a crystal grain boundary portion by the oxidation along the crystal grain boundary so that electric field effect mobility of the TFT is reduced. However, when the oxide film of the present invention is used, there are also effects in that there is almost no diffusion of oxygen along the crystal grain boundary portion, and the electric potential barrier of the crystal grain boundary portion can be reduced so that the electric field effect mobility is greatly improved. Further, it is also important that

the interface level density can be reduced by forming the oxide film by using the silane derivative gas of dichlorosilane, etc., or hydrogen chloride, etc. while the natural oxide film and the polluted substance of an organic substance, a metal, etc. on the silicon layer 102 are removed.

The oxide film using the plasma CVD method based on the present invention can be formed at a low temperature equal to or lower than about 450°C. Therefore, this oxide film can be also applied to a low temperature process using a cheap glass substrate.

In the embodiment of Fig. 1, the oxide film is formed by the plasma CVD method using the silane derivative gas of dichlorosilane, etc. However, the present invention is not limited to this case. The oxide film with high insulation resisting voltage and low interface level density can be also formed very effectively even when the oxide film is formed by using the above gas in the CVD method, the ECR-plasma CVD method, the optical CVD method, etc.

The electric field effect mobility of a polycrystal silicon TFT (N-channel) formed in the low temperature process using the method of manufacturing a semiconductor device based on the present invention approximately ranges from 150 to 200 cm²/V·sec, and excellent characteristics are obtained in comparison with the TFT formed by the thermal oxidation method.

Further, when a process for exposing a semiconductor element to the plasma atmosphere of a gas including at least hydrogen gas or ammonia gas in the above TFT manufacturing process, etc. are arranged and the above TFT is hydrogenated, defective density existing in the crystal grain boundary is reduced and the above electric field effect mobility is further improved.

It is also very effective to use a means for controlling a threshold voltage value V_{th} by doping impurities to a channel area. In the polycrystal silicon TFT formed by the solid phase growing method, the threshold voltage V_{th} of an N-channel transistor tends to be shifted in a depression direction, and the threshold voltage V_{th} of a P-channel transistor tends to be shifted in an enhancement direction. When the above TFT is hydrogenated, this tendency becomes more notable. Therefore, when impurities of about 10¹⁵ to 10¹⁹/cm³ are doped to the channel area, the shift of the threshold voltage V_{th} can be restrained. For example, in Fig. 1, there is a method in which the impurities such as B (boron) having a dose amount of about 10¹¹ to 10¹³/cm² are implanted by the ion injecting method, etc. before the gate electrode is formed. In particular, if the dose amount is approximately equal to the above value, the threshold voltage V_{th} can be controlled such that an off-state current is minimized in both the

P-channel transistor and the N-channel transistor. Accordingly, when the TFT element of a CMOS type is formed, an entire face can be also channel-doped in the same process without selectively channel-doping the P-channel and the N-channel.

As shown in the embodiment of Fig. 1, the present invention has a great merit in that the polysilicon TFT of high performance can be formed at a low temperature. However, the present invention is not limited to this case. The present invention becomes a very effective manufacturing method when a gate insulating film on monocrystal silicon, a gate insulating film on non-monocrystal silicon such as polycrystal silicon, fine crystal silicon, amorphous silicon, etc. are formed at a low temperature. Furthermore, the present invention is not limited to the TFT, but can be generally applied to an insulating gate type semiconductor element. Further, the oxide film of the present invention can be also used in an interlayer insulating film, a passivation film, etc. in addition to the gate insulating film, and has a great merit in that the insulating film of high insulation resisting voltage can be formed at a low temperature.

[Effect of the Invention]

As mentioned above, in accordance with the present invention, the oxide film of high insulation resisting voltage and low interface level density can be formed at a low temperature. In particular, when the oxide film is formed on polycrystal silicon by the plasma CVD method of the present invention, the insulation resisting voltage can be increased and the interface level density can be reduced in comparison with a case in which the oxide film is formed by thermally oxidizing polycrystal silicon. Further, there is also an effect in that electric field effect mobility of the TFT is greatly improved in comparison with the thermal oxidation film. As a result, the semiconductor element of high performance can be formed on an insulating amorphous material, and it is possible to easily form a large-sized liquid crystal display panel with high resolution, and a close type image sensor and a three-dimensional IC, etc. with high resolution operated at high speed. In the forming method of the oxide film of the present invention, the low temperature process is used so that a cheap glass substrate can be also used as a substrate. In the three-dimensional IC, an element of an upper layer portion can be also formed without having any bad influence (for example, redistribution of impurities, etc.) on an element of a lower layer portion.

Further, the present invention can be also generally applied to an insulating gate type semiconductor element in addition to the TFT shown in the embodiment of Fig. 1.

4. Brief Description of the Drawings

Figs. 1(a) to 1(e) are manufacturing process views of a semiconductor device in an embodiment of the present invention.

Figs. 2(a) and 2(b) are schematic time charts of gas flow rates.

101 --- insulating amorphous material

102 --- silicon layer

103 --- polycrystal silicon layer

104 --- gate insulating film

105 --- gate electrode

106 --- source-drain area

107 --- interlayer insulating film

108 --- contact hole

109 --- wiring

201 --- flow rate of monosilane

202 --- flow rate of dichlorosilane

DRAWINGS

FIG. 1

103' CRYSTAL GRAIN BOUNDARY

FIG. 2(a)

GAS FLOW RATE

DEPOSITION TERMINATION

TIME

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
008587335 **Image available**

WPI Acc No: 1991-091367/199113

XRAM Acc No: C91-039183

XRPX Acc No: N91-070525

Mfr. of insulated-gate FET - by forming gate insulation film by plasma
CVD using mono-silane deriv. gas contg. chlorine or fluorine NoAbstract
Dwg 1/2

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3036767	A	19910218	JP 89172327	A	19890704	199113 B

Priority Applications (No Type Date): JP 89172327 A 19890704

Title Terms: MANUFACTURE; INSULATE; GATE; FET; FORMING; GATE; INSULATE;
FILM; PLASMA; CVD; MONO; SILANE; DERIVATIVE; GAS; CONTAIN; CHLORINE;
FLUORINE; NOABSTRACT

Index Terms/Additional Words: FIELD; EFFECT; TRANSISTOR; CHEMICAL; VAPOUR;
DEPOSIT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-029/78

File Segment: CPI; EPI

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-36767

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月18日

H 01 L 29/784
21/205

7739-5F
9056-5F

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-172327

⑰ 出 願 平1(1989)7月4日

⑱ 発 明 者 岡 秀 明 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) 絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、塩素もしくは弗素のうちの少なくとも一方の元素を含むモノシラン誘導体ガスをを用い、プラズマCVD法で形成したことを特徴とする半導体装置の製造方法。

2) 絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、少なくとも塩化水素を用い、プラズマCVD法で形成したことを特徴とする半導体装置の製造方法。

3) 前記絶縁ゲート型トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体であることを特徴とする請求項1又は請求項2記載の半導体装置の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体装置の製造方法に係わり、特

に、絶縁ゲート型電界効果トランジスタのゲート絶縁膜の形成方法に関する。

[従来の技術]

近年、三次元ICや、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサ等へのニーズが高まるにつれて、低温で良質のゲート絶縁膜を形成する技術が重要となってきた。熱酸化法は、900~1200℃程度の高温プロセスであるため、(1)安価なガラス基板上に素子を形成できない。(2)三次元ICでは下層部の素子に悪影響(不純物の再分布等)を与える等の問題があり、CVD法等で低温で酸化膜を形成する技術が検討されている。

[発明が解決しようとする課題]

ところが、従来のCVD法で形成した酸化膜は、ゲート絶縁耐圧が低く、界面単位密度が高い等の問題があり、実用レベルの素子を安定して形成することが困難であった。そこで本発明はこの様な問題点を解決するものであり、その目的とするところは、ゲート絶縁耐圧が高く、界面単位密度が

低い絶縁ゲート型電界効果トランジスタ用のゲート絶縁膜の形成方法を提供するところにある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、塩素もしくは弗素のうちの少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で形成したことを特徴とする。

更に、絶縁ゲート型電界効果トランジスタのゲート絶縁膜を、少なくとも塩化水素を用い、プラズマCVD法で形成したことを特徴とする。

〔実施例〕

第1図は、本発明の実施例における半導体装置の製造工程図の一例である。尚、第1図では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

第1図において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくはSiO₂等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシリコン層102を形成する工程である。成膜条件の一例とし

ては、LPCVD法で500℃～580℃程度で膜厚100Å～2000Å程度のシリコン膜を形成する等の方法、プラズマCVD法で基板温度を室温～600℃程度に保持し、モノシラン若しくはモノシランを水素、アルゴン、ヘリウム等で希釈したガスを反応室内に導入し、高周波エネルギー等を加えガスを分解して所望の基板上にシリコン層を膜厚100Å～2000Å程度形成する等の方法がある。ただし、成膜方法はこれに限定されるものではなく、例えば、スパッタ法、蒸着法、EB蒸着法、MBE法等で非晶質シリコン、若しくは微結晶シリコンを形成する方法がある。

第1図(b)は、該シリコン層102を熱処理等により結晶成長させる工程である。熱処理条件は、工程(a)のシリコン層の成膜方法によってその最適条件が異なる。

例えば、LPCVD法で成膜した場合は、550℃～650℃程度で2～50時間程度窒素もしくはAr等の不活性ガス雰囲気中で熱処理することで多結晶シリコン層103が形成される。

又、プラズマCVD法で形成した場合は、例えば、成膜時の基板温度によって以下に述べるような違いがある。

(1) 基板温度が室温～150℃程度の比較的低温で成膜した膜は、膜中に多量の水素を含む非晶質シリコンになるが、200～300℃程度で成膜した膜と比べてより低温の熱処理で膜中の水素を抜くことが出来る。熱処理条件の一例を以下に述べる。プラズマCVD反応室内で成膜後の非晶質シリコン膜に第一のアニールを行う。成膜温度が低い非晶質シリコン膜はポーラスな膜であるため、成膜後そのまま大気中に取り出すと膜中に酸素等が取り込まれ易く、膜質低下の原因となるが、大気中に取り出す前に適切な熱処理を行うと膜の緻密化が成され、酸素等の取り込みが防止される。熱処理温度は300℃以上が望ましく、400～500℃程度まで温度を上げると特に効果が大きい。尚、熱処理温度が300℃未満であっても熱処理による膜の緻密化の効果はある。但し、真空を破らずに連続してアニールを行う場合は第

一のアニールを省くこともできる。

続いて、第二のアニールを行う。低い成膜温度で形成された非晶質シリコン膜は550℃～650℃程度の比較的低温の熱処理を数時間～40時間程度行なうと、水素の脱離と結晶成長が起こり、結晶粒径1～2μm程度の大粒径の多結晶シリコンが形成される。尚、第一のアニール及び第二のアニールとも所定のアニール温度まで昇温する際に短時間で急激に温度を上昇させるのは好ましくない。その理由は、温度を上昇するにつれて(特に、300℃を越えと)膜中の水素の脱離が起こり、昇温速度が急激であると膜中に欠陥を形成し易くなる。場合によってはピンホールができたり、膜が剥離することもある。少なくとも300℃以上の温度では20℃/分よりも遅い昇温速度(5℃/分よりも遅い昇温速度が特に望ましい)で温度を徐々に上昇すると膜中の欠陥は少なくなる。尚、昇温方法の詳細は後述する。

(2) 基板温度が150℃～300℃程度で成膜した膜は、上述の低温で形成した非晶質シリコ

ン膜に比べて、膜中の水素量は減少するが水素が脱離する温度はより高温側にシフトする。ただし、成膜後の膜は低温で形成した膜に比べて緻密であるため上述の第一のアニールを省くこともできる。第二のアニール条件は、550℃～850℃程度の熱処理を数時間～40時間程度行くと、水素の脱離と結晶成長が起こり、結晶粒径1～2μmの大粒径の多結晶シリコンが形成される。尚、550℃～850℃までの昇温方法の詳細は後述するが、(1)の場合と同様に少なくとも300℃以上の温度では20℃/分(望ましくは、5℃/分)よりも速い昇温速度で温度を徐々に上昇すると膜中の欠陥が少なくなり望ましい。

(3) 基板温度が300℃を超えると膜中の水素量はさらに減少するが、550℃～850℃程度のアニールでは水素の脱離が起こり難くなるため、前記温度よりもより高い温度での熱処理が重要となる。尚、基板温度が500℃程度以上で形成した膜を固相成長させた場合は、 $\langle 110 \rangle$ もしくは $\langle 100 \rangle$ に配向した多結晶シリコンが得ら

場合は、上述のような高温にさらすことはできないため、エキシマレーザ等の短波長光を照射することで半導体の表面層近傍のみを上述の温度まで昇温させ、半導体層と基板界面近傍は600℃程度以下になるように、照射強度及び照射時間を最適化することが重要である。一例としては、XeClエキシマレーザ(波長308nm)を用い、照射強度0.1～1.0 J/cm²程度で1～10パルス(1パルス数十ns)照射する等の条件が上述の条件を満たす。尚、レーザを照射した際、半導体層と基板の界面が600℃程度以下であれば、半導体層の表面を熔融させる条件の方が、半導体表面層の結晶性が良好となり好ましい。特に、該表面層は反転層が形成される領域であるため、表面層の結晶性向上は、トランジスタ特性の向上につながる。その他の熱処理方法としては、アニール炉で窒素若しくはAr等の不活性ガス雰囲気中で、例えば850℃ならば1時間程度、1000℃ならば10～20分程度熱処理する方法、ハロゲンランプ・アークランプ・赤外線ランプ・キ

れる為、TFTの界面単位密度の低減や電界効果移動度の向上等の効果がある。

第1図(c)は、工程(b)より高い所定の熱処理温度で該多結晶シリコン層103を熱処理する工程である。尚、工程(c)は、省くこともできるが、結晶化率を向上させる為に、重要な工程である。工程(b)で固相成長法で結晶成長させた多結晶シリコン層103の結晶化率は必ずしも高くない。特に、LPCVD法で500℃～560℃程度の比較的低温で形成したシリコン膜(非晶質シリコン、若しくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。)を熱処理で固相成長させた場合は、その結晶化率は、50%～70%程度と低い。そこで、工程(c)で工程(b)より高い温度で熱処理することで、該多結晶シリコン層の未結晶化領域を結晶化させる工程を設けることが重要となる。その結果、結晶化率を99%以上に高めることができる。熱処理温度としては、700℃～1200℃程度の間に最適値が存在する。但し、基板としてガラスを用いた

セノンランプ・水銀ランプ等を用いたランプアニール、Arレーザ・He-Neレーザ等を用いたレーザアニール等もある。

第1図(d)は、ゲート絶縁膜104を、塩素もしくは弗素の内の少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で形成する工程である。従来の常圧CVD法で形成した酸化膜は、絶縁耐圧が低く、Si/SiO₂の界面単位密度も高く、実用レベルの酸化膜を安定して形成できなかった。しかし、ジクロロシラン等の塩素もしくは弗素の内の少なくとも一方の元素を含むモノシラン誘導体ガスを用い、プラズマCVD法で成膜することで、良質の酸化膜を低温形成できることが、我々の検討の結果明らかとなった。成膜方法の一例としては、プラズマCVD装置に、反応ガスとして、ジクロロシラン(SiH₂Cl₂)及び酸素もしくは亜酸化窒素(N₂O)を導入し、基板温度200℃～450℃程度に保ち、高周波を印加しガスを分解し、酸化膜を成膜する等の方法がある。尚、ジクロロシランの代わ

りに、モノクロロシラン(SiH_3Cl)、三塩化シラン(SiHCl_3)、四塩化珪素(SiCl_4)、モノフルオロシラン(SiH_2F)、ジフルオロシラン(SiH_2F_2)、トリフルオロシラン(SiHF_3)、四弗化珪素(SiF_4)等の、塩素もしくは弗素の内の少なくとも一方の元素を含むモノシラン誘導体ガスを用いてもよい。また、これらのガスの内の複数種を混合して用いてもよいし、モノシランとこれらのガスを混合して用いてもよい。そのほかに、モノシランもしくはモノシラン誘導体ガスに塩化水素(HCl)を混合して成膜しても同様の効果がある。また、ジクロロシラン等のモノシラン誘導体ガスもしくは塩化水素等とモノシランを混合した場合、その混合比を時間と共に変化させる方法も有効である。即ち、成膜開始時は、ジクロロシラン等のモノシラン誘導体ガスもしくは塩化水素の比率を高くし、時間と共にモノシランの比率を高くする等の方法があり、絶縁耐圧を高くし、界面単位密度を低くするという効果がある。その理由は、以下のように推測され

第1図(e)は、半導体素子を形成する工程である。尚、第1図(e)では、半導体素子としてTFTを形成する場合を例としている。図において、104はゲート絶縁膜、105はゲート電極、106はソース・ドレイン領域、107は層間絶縁膜、108はコンタクト穴、109は配線を示す。TFT形成法の一例としては、ゲート電極を形成後、ソース・ドレイン領域をイオン注入法、熱拡散法、プラズマドーピング法、イオンシャワードーピング法等で形成し、層間絶縁膜をCVD法、スパッタ法、プラズマCVD法等で形成する。さらに、該層間絶縁膜にコンタクト穴を開け、配線を形成することでTFTが形成される。基板としてガラスを用いた場合のソース・ドレイン領域の形成方法は、イオン注入法でB、P等の不純物を打ち込んだ後、600℃程度の低温で数時間～数十時間熱処理することで不純物の活性化を行う方法の他、イオンシャワードーピング法、プラズマドーピング法等が有効である。

本発明は、従来の熱酸化法やCVD法に代わり、

成膜時に塩素もしくは弗素等の元素を含むモノシラン誘導体ガスもしくは塩化水素の比率を高めることで、シリコン層102上の自然酸化膜や有機物・金属等の汚染物質を除去しつつ、酸化膜を成膜することで、界面単位密度を低減することができる。従って、モノシランガスの比率を高めることで、膜中に混入する塩素や弗素の量を低減させ、絶縁耐圧の高い良質の酸化膜を形成することができる。第2図(a)及び第2図(b)にガス流量のタイムチャートの概略図を示す。第2図において、201はモノシランガスの流量を、202はジクロロシランガスの流量を示す。第2図(a)では、成膜開始時にはジクロロシランが100%であり、時間と共に、ジクロロシランの流量を減らし、モノシランの流量を増やす場合を示している。また、第2図(b)ではガス流量をステップ的に変える場合を示している。尚、ガス流量のタイムチャートは第2図に限定されるものではなく、成膜開始時にジクロロシラン等のシラン誘導体ガスもしくは塩化水素等の比率を高くする点が重要である。

プラズマCVD法で低温で良質の酸化膜を形成できる点が重要である。以下にその詳細を述べる。従来のCVD法では、前述の通り絶縁耐圧が低く、 Si/SiO_2 界面単位密度が高く、実用レベルの酸化膜を安定して形成することができなかった。又、熱酸化法は、900℃～1200℃程度の高温プロセスであるほか、多結晶シリコン上では、絶縁耐圧が3～4MV/cm程度と低いという問題があった。しかし、本発明によるプラズマCVD法で形成した酸化膜は、熱酸化法で形成した膜よりも絶縁耐圧が向上し、7～8MV/cm程度になることが明らかとなった。その理由は、多結晶シリコンを熱酸化した場合は、結晶粒界に沿って酸化が進み易いため、酸化膜が突起状になり電界集中が起こり易い。一方、プラズマCVD法で酸化膜を低温形成した場合は、結晶粒界に沿った酸素の拡散がほとんどなく、上述のような電界集中が起こり難いため、絶縁耐圧が向上するものと考えられる。更に、結晶粒界に沿った酸化は、結晶粒界部に高い電位障壁を形成するため、TFT

の電界効果移動度を低下させる原因ともなっていたが、本発明による酸化膜を用いた場合は、結晶粒界面に沿った酸素の拡散が殆ど無く、粒界面の電位障壁を低くできる為、電界効果移動度が大きく向上するという効果もある。更に、ジクロロシラン等のシラン誘導体ガス、もしくは塩化水素等を用い、シリコン層102上の自然酸化膜や有機物・金属等の汚染物質を除去しつつ、酸化膜を成膜することで、界面単位密度を低減することができる点も重要である。

又、本発明に基づくプラズマCVD法による酸化膜は、450℃程度以下の低温で成膜できるため、安価なガラス基板を用いた低温プロセスに応用することもできる。

尚、第1図の実施例では、ジクロロシラン等のシラン誘導体ガスを用いて、プラズマCVD法で酸化膜を形成する場合を示したが、本発明はこれに限らず、上述のガスを用いて、CVD法、ECR-プラズマCVD法、光CVD法等で酸化膜を形成しても、絶縁耐圧が高く、界面単位密度の低

した場合、その傾向がより顕著になる。そこで、チャンネル領域に $10^{11} \sim 10^{12}/\text{cm}^2$ 程度の不純物をドーピングすると、 V_{th} のシフトを抑えることができる。例えば、第1図において、ゲート電極を形成する前に、イオン注入法等でB(ボロン)等の不純物を $10^{11} \sim 10^{12}/\text{cm}^2$ 程度のドーピング量で打ち込む等の方法がある。特に、ドーピング量が前述の値程度であれば、Pチャンネルトランジスタ、Nチャンネルトランジスタ共オフ電流が最小になるように、 V_{th} を制御することができる。従って、CMOS型のTFT素子を形成する場合においても P_{ch} 、 N_{ch} を選択的にチャンネルドーピングせず、全面を同一の工程でチャンネルドーピングすることもできる。

尚、本発明は、第1図の実施例に示した様に、高性能なpoly-SiTFTを低温で形成できる大きなメリットがあるが、これに限らず、単結晶シリコン上のゲート絶縁膜、多結晶シリコン・微結晶シリコン・非晶質シリコン等の非単結晶シリコン上のゲート絶縁膜等を低温形成する際、極

い酸化膜を形成することができ、極めて有効である。

本発明に基づく半導体装置の製造方法を用い、低温プロセスで形成した多結晶シリコンTFT(Nチャンネル)の電界効果移動度は、 $150 \sim 200 \text{ cm}^2/\text{V} \cdot \text{sec}$ 程度であり熱酸化法で形成したTFTよりも優れた特性が得られた。

さらに、前記TFT製造工程に水素ガスもしくはアンモニアガスを少なくとも含む気体のプラズマ雰囲気中に半導体素子をさらす工程等を設け、前記TFTを水素化すると、結晶粒界面に存在する欠陥密度が低減され、前記電界効果移動度はさらに向上する。

また、チャンネル領域に不純物をドーピングして、 V_{th} (しきい値電圧)を制御する手段も極めて有効である。固相成長法で形成した多結晶シリコンTFTでは、Nチャンネルトランジスタがデプレッション方向に V_{th} がシフトし、Pチャンネルトランジスタがエンハンスメント方向にシフトする傾向がある。又、上記TFTを水素化し

極めて有効な製造方法となる。又、本発明はTFTに限らず、絶縁ゲート型半導体素子全般に応用できる。更に、本発明の酸化膜はゲート絶縁膜以外にも、層間絶縁膜・パッシベーション膜等にも用いることができ、絶縁耐圧が高い絶縁膜を低温形成できるという大きなメリットがある。

【発明の効果】

以上述べたように、本発明によれば絶縁耐圧が高く、界面単位密度の低い酸化膜を低温で形成することができる。特に、多結晶シリコン上に本発明によるプラズマCVD法で酸化膜を形成した場合は、多結晶シリコンを熱酸化し酸化膜を形成した場合よりも、絶縁耐圧を高く、界面単位密度を低くすることができた。更に、熱酸化膜よりもTFTの電界効果移動度が大幅に向上するという効果もある。その結果、絶縁性非晶質材料上に高性能な半導体素子を形成することが可能となり、大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。又、本発明による酸化

膜の形成方法は低温プロセスであるため、基板として安価なガラス基板を用いることも可能である。三次元ICにおいては下層部の素子に悪影響（例えば、不純物の再分布等）を与えずに上層部の素子を形成することもできる。

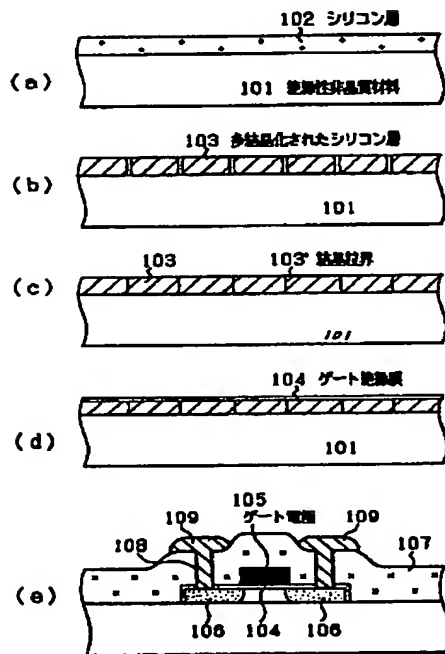
また、本発明は、第1図の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できる。

4. 図面の簡単な説明

第1図(a)～(e)は本発明の実施例における半導体装置の製造工程図である。

第2図(a)及び第2図(b)はガス流量のタイムチャートの概略図である。

- 101 ... 絶縁性非晶質材料
- 102 ... シリコン層
- 103 ... 多結晶シリコン層
- 104 ... ゲート絶縁膜
- 105 ... ゲート電極
- 106 ... ソース・ドレイン領域

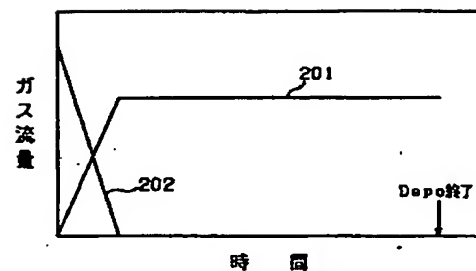


第1図

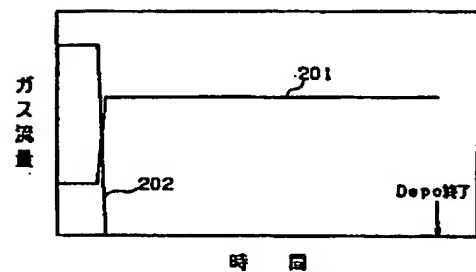
- 107 ... 層間絶縁膜
- 108 ... コンタクト穴
- 109 ... 配線
- 201 ... モノシランの流量
- 202 ... ジクロルシランの流量

以上

出願人 セイコーエプソン株式会社
代理人 弁理士 鈴木喜三郎(他1名)



第2図 (a)



第2図 (b)